

Máster de Formación permanente en Diseño Microelectrónico



Cursos Monográficos Curso 2024-2025



Financiado por
la Unión Europea
NextGenerationEU



Plan de Recuperación,
Transformación
y Resiliencia

España | digital 2026



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

Diseño de ASICs y Microsistemas 3.5D

14, 15 y 16 de mayo 2025

Carlos Macián Ruiz

Marvell Semiconductors Inc. Silicon Valley - USA

Duración: 9 horas

Lugar: Aula 1.7 (Edificio 4D- Teleco)

Este curso ofrece una visión completa y accesible del proceso de diseño de circuitos integrados (ASICs), desde la arquitectura lógica hasta la fabricación y validación.

Explora las arquitecturas hardware diseñadas para inteligencia artificial y cómo están transformando el diseño de datacenters modernos.

MODULO 1. Introducción al proceso de diseño de ASIC

- Overview Diseño ASIC
- De especificación a tapeout y más allá

MODULO 2. Particionado, diseño 3.5D y ejercicios

- Particionado de diseños en múltiples dies y selección de interfaces
- Ejercicio: Particionado de un diseño MCM
- Diseño en 3.5D: Tecnología, interfaces y re-diseño lógico
-

MODULO 3. Arquitecturas de IA

- La revolución de la IA
- Cuando el sistema es todo el datacenter
- Arquitectura el Datacenter
- El pod, el rack y el chip

Conocimientos previos recomendados

- Conocimientos básicos de diseño RTL
- Síntesis lógica y/o fundamentos de diseño de ASICs.

Diseño de aplicaciones AI para FPGA - DPU - PETALINUX y VITIS

9-13 de junio 2025

Alejandro Linares Barranco - Universidad de Sevilla

Antonio Ríos Navarro - Universidad de Sevilla

Duración: 30 horas

Lugar: Lab Microelectrónica (Edificio 4D - Teleco)

MODULO 1. Introducción del curso (FPGAs,

MPSOCs, Ultra96v2, IA, Vitis AI)

- Introducción a las FPGAs, MPSOC, ACAP y plataforma Ultra96v2
- Laboratorio: Instalación de las herramientas de Xilinx
- Revisión de modelos IA. La herramienta Vitis AI
- Laboratorio: Ejemplo de Redes Neuronales.

MODULO 2. Vivado y el IP-Core DPU

- Arquitectura del MPSOC, el bus AXI
- Laboratorio: Proyecto Vitis "hola mundo" en baremetal con AXI-GPIO para control de LEDs
- Arquitectura DPU
- Laboratorio: Descargar el IPCore DPU adecuado y crear un proyecto HW.

MODULO 3. PetaLinux

- Introducción a Petalinux, conceptos básicos.
- Preparación del BSP y el entorno. Laboratorio: "hola mundo" con Petalinux (sin lógica programable).
- Preparación Petalinux para soporte de DPU. Laboratorio: Utilización de DPU con drivers

MODULO 4. Diseño de aplicación Python con Vitis AI

- La herramienta Vitis AI
- Laboratorio: Vitis AI con una red de ejemplo. Cuantización y compilación
- Aplicación de ejemplo de Model Zoo.
- Laboratorio: Aplicación de Model Zoo

Recursos Necesarios:

- Portátil con capacidad suficiente: 8 núcleos, 8GB RAM min (recomendable 16Gb), 250GB disco duro libre
- Tener instalado Ubuntu 20.04.
- Se instalará y trabajará durante el curso con Xilinx Suite 2021.2 + Vitis AI 2.0

DISEÑO Y MODELIZACIÓN DE SISTEMAS MEMS

27, 29, 30 mayo, 3, 5, 6, 17, 19 y 20 junio 2025

Cesare Buffa – Analog Devices

Duración: 27 horas

Lugar: Lab MicroElectrónica (Edificio 4D – Teleco)

Part I**Introduction and Usage of MEMS**

- Introduction and MEMS overview.
- Datasheets.
- MEMS for system developers.

Technology & Sensing techniques.

- Technology, packaging.
- Sensing techniques: capacitive, optical, piezoresistive.
- Types of capacitors: parallel-plates, comb-fingers, single-ended, differential. Electrostatic forces.
- Lab: Matlab & Simulink (session 1)

Mechanics of MEMS

- Dynamics of MEMS: MEMS transfer function and operating modes. Pull-in effect.
- Thermomechanical noise.
- Lab: Matlab & Simulink (session 2)

Part II**MEMS devices (1)**

- MEMS Sensors & Principle of operations:
 - magnetometer
 - microphones
 - pressure sensors

MEMS devices (2)

- MEMS Sensors & Principle of operations:
 - accelerometer

IMEMS devices (3)

- MEMS Actuators
- MEMS Sensors & Principle of operations:
 - gyroscope (basic principles)

Part III**Electronics for MEMS readout (1)**

- Electronics: voltage biasing, charge readout.
- The effect of electrostatic forces on readout circuits.
- Charge amplifier.

Electronics for MEMS readout (1)

- Electronics: charge biasing, voltage readout.
- Readout circuits with high-input impedance: source-follower, Instrumentation Amplifier.
- System design: noise and current budget partitioning.
- Optional: advanced architectures.

Electro-mechanical simulations in Cadence

- Electro-mechanical coupled simulations.
- MEMS Verilog-A model.
- Testbench with Verilog-A model + electronics.

Financiado por
la Unión Europea
NextGenerationEUGOBIERNO
DE ESPAÑAMINISTERIO
PARA LA TRANSFORMACIÓN DIGITAL
Y DE LA FUNCIÓN PÚBLICAPlan de Recuperación,
Transformación
y Resiliencia

España | digital

UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

SIGMA-DELTA CONVERTERS: FUNDAMENTALS AND PRACTICAL DESIGN GUIDE

25, 26 y 27 de junio 2025

**Jose Manuel de la Rosa – Institute of Microelectronics of Seville, IMSE-CNM
(CSIC/University of Seville)**

Duración: 12 horas

Lugar: Lab MicroElectrónica (Edificio 4D – Teleco)

MODULE 1. Fundamentals and basic concepts

- Introduction and fundamentals on data conversion
- Oversampling and quantization noise-shaping
- Main $\Sigma\Delta$ architectures: single-loop vs. cascade, multi-bit vs. single-bit
- Discrete-time vs. Continuous-Time $\Sigma\Delta$ Ms
- Overview of the state of the art

MODULE 2. System-level design of $\Sigma\Delta$ Ms

- Synthesis procedure of $\Sigma\Delta$ Ms: from specifications to architectures
- The Schreier Delta-Sigma Toolbox
- Discrete-time design examples
- Continuous-time synthesis methods
- Examples and case studies

MODULE 3. Circuit-level design of $\Sigma\Delta$ Ms

- $\Sigma\Delta$ M building blocks: integrators, comparators, DACs...
- Main error mechanisms in SC $\Sigma\Delta$ Ms and CT $\Sigma\Delta$ Ms
- Behavioral modeling and simulation of $\Sigma\Delta$ Ms: use cases in Python, MATLAB, Cadence
- High-level design methodology: optimization and AI-assisted synthesis methods
- Examples and case studies

MODULE 4. Tutorial & Case studies

- Tutorial design of an active-RC CT $\Sigma\Delta$ M
- Practical lab exercises done by students



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA

CÀTEDRA

COMPATIBILIDAD ELECTROMAGNÉTICA Y PRODUCTOS ELECTRÓNICOS

2 y 3 de julio 2025

Arturo Mediano – Universidad de Zaragoza

Duración: 12 horas

Lugar: AULA 1.7 (Edificio 4D – Teleco)

Contenido:

1. Introducción al problema de la Compatibilidad Electromagnética
2. Ensayos habituales en EMC: emisión e inmunidad
3. La estrategia desde el punto de vista del diseño de producto
4. Masas y tierra
5. Fundamentos de filtrado
6. Conceptos básicos en diseño de PCBs
7. Cables en EMI/EMC
8. Apantallamiento
9. Protección frente a transitorios
10. Conclusiones y debate



Financiado por
la Unión Europea
NextGenerationEU



GOBIERNO
DE ESPAÑA

MINISTERIO
PARA LA TRANSFORMACIÓN DIGITAL
Y DE LA FUNCIÓN PÚBLICA



Plan de Recuperación,
Transformación
y Resiliencia

España | digital

20
26



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA